

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-125084

(43)Date of publication of application : 06.05.1994

(51)Int.Cl.

H01L 29/784

G02F 1/136

H01L 27/146

H01L 21/336

(21)Application number : 04-297651

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 09.10.1992

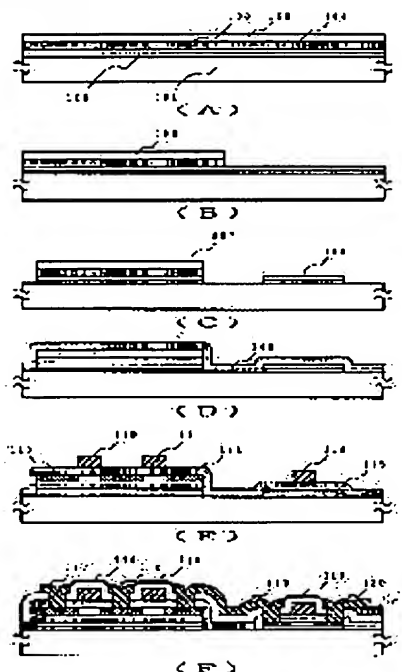
(72)Inventor : KOBORI ISAMU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To control crystallinity and to easily form two types of TFT by altering a process to a minimum limit by specifying a thickness of one active layer and a thickness of an active layer of the other thin film transistor in an integrated circuit having two polysilicon thin film transistors on the same substrate.

CONSTITUTION: A first base oxide film 102 and a first amorphous silicon film 103 are deposited on a substrate 101. A second silicon oxide film 104 and a second amorphous silicon film 105 are deposited on the film 103. Then, a second silicon oxide film 107 and a second amorphous silicon 106 remains only on a peripheral circuit region, and the film 103 is exposed on the other region. An insular region 108 is formed on the exposed part, and crystallized by hot annealing at 450°C. Thus, two types of TFT having a thickness of one active layer of 70nm or less and the other of 70nm or more can be formed.



LEGAL STATUS

[Date of request for examination]

31.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3173747

[Date of registration]

30.03.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

일본공개특허공보 평06-125084호(1994.05.06) 1부.

[첨부그림 1]

(19)日本国特許庁(J.P.)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-125084

(43)公開日 平成6年(1994)5月8日

(51)Int.Cl.	特許記号	庁内登録番号	F.I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/138	5.0-0	9018-2K		
H 0 1 L 27/149		9059-4M	H 0 1 L 29/78	G 1 1 C
		7210-4M	27/14	C

審査請求 未請求 請求項の数 8(全 10 頁) 最終頁に続く

(21)出願番号 特願平4-297851

(22)出願日 平成4年(1992)10月9日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷388番地

(72)発明者 小堀 勇

神奈川県厚木市長谷388番地 株式会社半

導体エネルギー研究所内

(54)【発明の名称】 半導体装置およびその製造方法

【目的】 薄層状絶縁ゲイト型半導体装置を用いて、ダイナミック駆動をおこなう乗算回路の簡便な構成および

その製造を提供する。(修正書)

【構成】 薄層状絶縁ゲイト型トランジスタを有するダイナミック回路を構成する際に、リーク電流の小さなT.F.T.を形成するために、活性層の厚さを7.0nm以下とし、かつ、その他の高速動作を要求されるT.F.T.では、活性層の厚さを7.0nm以上とする。



【特許請求の範囲】

【請求項 1】 同一基板上に少なくとも2つのポリシリコン薄膜トランジスタを有する集積回路において、ポリシリコン薄膜トランジスタの活性層は450℃以上の熱アニールによって結晶化され、そのうちの少なくとも1つのポリシリコン薄膜トランジスタはその活性層の厚さが7.0nm以下であり、他のポリシリコン薄膜トランジスタの活性層の厚さは7.0nm以上であることを特徴とするポリシリコン薄膜トランジスタ集積回路。

【請求項 2】 同一基板上に少なくとも2つのポリシリコン薄膜トランジスタを有する集積回路において、ポリシリコン薄膜トランジスタの活性層は450℃以上の熱アニールによって結晶化されたことと、そのうちの少なくとも1つのポリシリコン薄膜トランジスタはその活性層の下に厚さ50nm以上の絶縁膜をはさんで、前記活性層とは異なる厚さの別の実質的なポリシリコン層を有することを特徴とするポリシリコン薄膜トランジスタ集積回路。

【請求項 3】 同一基板上に形成された複数の薄膜トランジスタによって構成されたイメージセンサーの駆動回路において、

薄膜トランジスタの活性層は450℃以上の熱アニールによって結晶化されたことと、

信号出力部の薄膜トランジスタの活性層の厚さが7.0nm以下であることと、

他の薄膜トランジスタの活性層の厚さが7.0nm以上であることを特徴とするイメージセンサー。

【請求項 4】 薄膜トランジスタによって構成されたアクティブマトリクス構造とその駆動回路を同一基板上に有する液晶ディスプレイ装置において、薄膜トランジスタの活性層は450℃以上の熱アニールによって結晶化されたことと、

アクティブマトリクスを構成する薄膜トランジスタの活性層の厚さが7.0nm以下であることと、

周辺回路を構成する薄膜トランジスタの活性層の厚さが7.0nm以上であることを、とを特徴とする液晶ディスプレイ。

【請求項 5】 絶縁表面上に形成された薄膜トランジスタを有する半導体メモリ装置において、

その周辺回路およびメモリ素子領域は、活性層が450℃以上の熱アニールによって結晶化された薄膜トランジスタによって形成され、

各薄膜トランジスタのゲート電極がビット線に、その不純物領域(ソース、ドレイン)の一方がワード線に接続され、他の不純物領域はキャパシタに接続されたことを特徴とする半導体メモリ装置において、

メモリ素子領域の薄膜トランジスタの活性層の厚さが7.0nm以下であることと、

周辺回路を構成する薄膜トランジスタの活性層の厚さが

7.0nm以上であること、とを特徴とする半導体メモリ装置。

【請求項 6】 絶縁表面上にアモルファスもしくはそれと同等な低い結晶性を有する第1の半導体膜を形成する工程と、

前記半導体膜上に厚さが100nm以上の絶縁膜を形成する工程と、

前記絶縁膜上に、第1の半導体膜とは厚さが異なり、アモルファスもしくはそれと同等な低い結晶性を有する第2の半導体膜を形成する工程と、第2の半導体膜およびその下の絶縁膜を除去して、第1の半導体膜が露出した領域を形成する工程と、

450℃以上の熱アニールによって、前記第1および第2の半導体膜を結晶化せしめる工程と、

前記半導体をパターンニングして複数の島状領域を形成する工程と、

前記島状領域にゲート電極を設ける工程と、

前記島状領域に選択的に、あるいは自己整合的に不純物を導入して不純物領域(ソース、ドレイン)を形成する工程とを有することを特徴とする薄膜トランジスタ集積回路の作製方法。

【0001】

【発明の背景(従来技術)】本発明は集積回路とその作製方法に関する。具体的には、液晶表示装置やダイナミックRAM(DRAM)のように、マトリクス構造を有し、スイッチング素子としてMOS型もしくはMIS(金属-絶縁体-半導体)型電界効果素子(以上を、MOS型素子と総称する)を有し、ダイナミックな動作をおこなうことを特徴とするマトリクス装置(電気光学表示装置、半導体メモリ装置を含む)およびそのための駆動回路、あるいはイメージセンサーのような集積化された駆動回路を有する半導体回路に関する。特に本発明は、MOS型素子として絶縁表面上に形成された薄膜半導体トランジスタ等の薄膜半導体素子を使用する装置に関し、薄膜トランジスタの活性層がポリシリコンより形成されたポリシリコン薄膜トランジスタを有する装置に関する。

【0002】

【従来の技術】最近、絶縁基板上に、薄膜状の活性層(活性領域ともいう)を有する絶縁ゲート型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲートトランジスタ、いわゆる薄膜トランジスタ(TFT)が熱心に研究されている。これらは、透明な絶縁基板状に形成され、マトリクス構造を有する液晶等の表示装置において、各画素の制御に利用すること、あるいは同じく絶縁基板状に形成されたイメージセンサーの駆動回路に利用することが目的であり、利用する半導体の材料、結晶状態によって、アモルファスシリコン(TF-T)やポリシリコン(多結晶シリコンともいう)TFTというように、

区別されている。

【0003】も、最近ではポリシリコンとアモルファスの中間的な状態を呈する材料も利用する研究がなされている。中間的な状態については議論がなされているが、本明細書では、何らかの熱的プロセス(例えば、450℃以上の温度での熱アニールやレーザー光等の強力なエネルギーを照射すること)によって何らかの結晶状態に遷じたものを全てポリシリコンと称することとする。

【0004】また、単結晶シリコン薄膜回路においても、いわゆるSOS技術としてポリシリコンTFTが用いられており、これは例えば高集積度SRAMにおいて、負荷トランジスタとして使用される。但し、この場合には、アモルファスシリコンTFTはほとんど使用されない。

【0005】さらに、絶縁基板上の半導体回路では、基板と配線との容量結合がないため、非常に高速動作が可能であり、超高速マイクロプロセッサや超高速メモリーとして利用する技術が提案されている。

【0006】一般にアモルファス状態の半導体の電界移動度は小さく、したがって、高速動作が要求されるTFTには利用できない。また、アモルファスシリコンでは、P型の電界移動度は著しく小さいので、Pチャネル型のTFT(PMOSのTFT)を製作することができず、したがって、Nチャネル型TFT(NMOSのTFT)と組み合わせて、相補型のMOS回路(CMOS)を形成することができない。

【0007】しかしながら、アモルファス半導体によって形成したTFTはOFF電流が小さいという特徴を持つ。そこで、マトリクス規模の小さい液晶ディスプレイのアクティブマトリクスのトランジスタのように、それほどの高速動作が要求されず、一方の導電型だけで十分であり、かつ、電荷保持能力の高いTFTが必要とされる用途に利用されている。しかしながら、より高度な応用、例えば、大規模マトリクスの液晶ディスプレイにはアモルファスシリコンTFTを利用することは困難であった。また、当然のことながら、高速動作が要求されるディスプレイの周辺回路やイメージセンサの駆動回路には利用できなかった。また、同じマトリクス構成であるとはいえ、半導体メモリー装置に利用することも困難であった。

【0008】一方、多結晶半導体は、アモルファス半導体よりも電界移動度が大きく、したがって、高速動作が可能である。例えば、レーザーアニールによって再結晶化させたシリコン膜を用いたTFTでは、電界移動度として $3000\text{ cm}^2/\text{Vs}$ 程度の値が得られている。通常の単結晶シリコン膜上に形成されたMOSトランジスタの電界移動度が $5000\text{ cm}^2/\text{Vs}$ 程度であることから、極めて大きな値であり、単結晶シリコン上のMOS回路が基板と配線間の寄生容量によって、動作速度

が制限されるのに対して、絶縁基板上であるのでそのような制約は何ら無く、著しい高速動作が期待されている。

【0009】また、ポリシリコンでは、NMOSのTFTだけでなく、PMOSのTFTも同様に得られるのでCMOS回路を形成することが可能で、例えば、アクティブマトリクス方式の液晶表示装置においては、アクティブマトリクス部分のみならず、周辺回路(ドライバ等)をもCMOSの多結晶TFTで構成する、いわゆるモノリシック構造を有するものが知られている。前述のSRAMに使用されるTFTもこの点に注目したものであり、PMOSをTFTで構成し、これを負荷トランジスタとしている。

【0010】また、通常のアモルファスTFTにおいては、単結晶IC技術で用いられるようなセルフアラインプロセスによってソース/ドレイン領域を形成することは困難であり、ゲート電極とソース/ドレイン領域の幾何学的な重なりによる寄生容量が問題となるのに対し、ポリシリコンTFTはセルフアラインプロセスが採用できたため、寄生容量が著しく抑えられるという特徴を持つ。

【0011】しかしながら、ポリシリコンTFTはゲートに電圧が印加されていないとき(非選択時)のリーク電流がアモルファスシリコンTFTに比べて大きく、液晶ディスプレイで使用するには、このリーク電流を補うための補助容量を設け、さらにTFTを2次元列にしてリーク電流を均化するという手段が講じられた。

【0012】例えば、アモルファスシリコンTFTの高いOFF抵抗を利用し、なおかつ、同一基板上にモノリシックに高い移動度を有するポリシリコンTFTの周辺回路を形成しようとするは、アモルファスシリコンを形成して、これに選択的にレーザーを照射して、周辺回路のみを結晶化せしめるという方法が提案されている。

【0013】しかしながら、現在のところ、レーザー照射プロセスの信頼性の問題(例えば、照射エネルギーの国内均一性が悪い等)から歩留まりが低く、また、アクティブマトリクス領域には移動度の低いアモルファスシリコンTFTを使用することになるので、より高度な利用は困難であった。レーザー照射プロセスについては、より信頼性が高く、コストの低い熱アニールが望まれた。また、製品の付加価値を高める意味から最低でもTFTの移動度は $50\text{ cm}^2/\text{Vs}$ が望まれた。

【0014】

【発明が解決しようとする課題】本発明はこのような困難な課題に対して解答を与えんとするものであるが、そのためにプロセスが複雑化し、歩留まり低下やコスト上昇を招くことは望ましくない。本発明の主旨とするところは、高移動度が要求されるTFTと低リーク電流が要求されるTFTという2種類のTFTを最小限のプロセスの変更によって、重産性を維持しつつ、容易に作り分け

ることにある。

【0015】

【問題を解決する方法】本発明の適用される半導体回路は普遍的なものではない。本発明は、特に液晶表示装置等の電界の効果によって光の透過性や反射性が変化する材料を利用し、対向する電極との間にこれらの材料をはさみ、対向電極との間に電界をかけて、画像表示をおこなうためのアクティブマトリクス回路や、DRAMのようなキャパシタに電荷を蓄積することによって記憶を保持するメモリ装置や、同じくMOSトランジスタのMOS構造部をキャパシタとして、あるいはその他のキャパシタによって、次段の回路を駆動するダイナミックシフトレジスタのようなダイナミック回路を有する回路。さらには、イメージセンサーの駆動回路のようなデジタル回路とアナログ的な信号出力を制御する回路とを有する回路等に適用している。特に、ダイナミック回路とステータック回路の過渡された回路に適用した発明である。

【0016】従来、高い移動度のTFTを作るためには、活性層の結晶性を高めることが必要とされた。そのためには、結晶化温度を800℃以上に高めることが有効であったが、そのような条件では使用に耐える基板が難しく制限されてしまうので、望ましい方法ではない。一方、活性層の厚さを7.0nm以上、好ましくは1.00nm以上とすることによっても結晶性が向上することが発見された。逆に、活性層の厚さが7.0nm以下、典型的には5.0nm以下のものでは、結晶性は良くなかった。

【0017】本発明はこのような、活性層の厚さによって結晶性が制御できることに注目し、この性質によって必要な特性を有するTFTを同一基板上に得ることを特徴とする。

【0018】例えば、活性層の結晶化を550～750℃でおこなった場合、活性層の厚さが1.00nmのTFTでは、NMOS、PMOSの電界移動度は、それぞれ、 $30 \sim 80 \text{ cm}^2/\text{Vs}$ 、 $20 \sim 60 \text{ cm}^2/\text{Vs}$ であったが、活性層の厚さが5.0nmのものでは、NMOS、PMOSの電界移動度は、それぞれ、 $10 \sim 30 \text{ cm}^2/\text{Vs}$ 、 $5 \sim 20 \text{ cm}^2/\text{Vs}$ と低下した。このことは、活性層の厚さによって結晶化に違いがあることと一致する。

【0019】しかしながら、さらに興味深いことには、このような活性層の厚さの違いによって、リーク電流も異なることが発見された。その様子は図1に示されている。図1において、(A)はPMOSの、(B)はNMOSの特性をそれぞれ示し、また、aおよびbは活性層の厚さが1.00nmの、cおよびdは活性層の厚さが5.0nmのものを示している。図から明らかなように、NMOS、PMOSとも、活性層の厚さが5.0nmのTFTの方が、1.00nmのものよりも1～3桁程度小さい。本発明人の研究によれば、このような効果は活性層

の厚さが7.0nmの前後で、極めて劇的に変化が生じることが明らかになった。

【0020】本発明は、この特性を利用したもので、高移動度が要求されるTFTにおいては、活性層の厚さを7.0nm以上、好ましくは1.00nm以上とする一方、移動度よりもリーク電流が要求されるTFTでは、活性層の厚さを7.0nm以下、好ましくは5.0nm以下となるように、同一基板上に厚さの異なる異なるシリコン層を形成し、あるいはシリコン層を前者のTFTの活性層とし、薄いシリコン層を後者のTFTの活性層とする。この際には、これらのシリコン層の間に、厚さ1.00nm以上の絶縁膜を形成することが望まれる。絶縁膜の材質としては酸化窒素が適している。

【0021】本発明の別の方法は、上記のように2層のポリシリコン層を形成するかわりに、シリコン層において、厚さの異なる傾斜を形成し、シリコン層の厚い傾斜には、高移動度のTFTを形成し、薄い傾斜には低リークのTFTを形成する。このようなシリコン層の厚さを場所によって変えるには、シリコン層の堆積を2段階に分けておこなうか、堆積したシリコン層を選択的にエッチングすればよい。

【0022】本発明においては、活性層は450℃以上の熱アニールによって、高移動度TFTと低リーク電流TFTの双方の活性層の結晶化をおこなう。ここで、熱アニールを用いるのは、均一性において優れているからである。なお、熱アニールの工程は、ゲート電極が形成された後でも、ソース/ドレインが形成された後でも構わない。

【0023】熱アニールの温度は、基板やその他の材料によって制約を受ける。基板材料の制約に関しては、シリコンや石英を基板として使用した場合には、最高1000℃の熱アニールまで可能である。例えば、典型的な無アルカリガラスであるコーニング社の7059ガラスの場合には、650℃以下の温度でのアニールが望ましい。しかし、本発明では、基板以外に、各TFTにおいて必要とされる特性を考慮して設定されなければならない。一般に、アニール温度が高ければTFTの結晶粒長が増え、移動度が高くなるとともに、リーク電流が増大する。したがって、本発明のとき、同一基板上に異なる特性のTFTを得るには、アニールの温度は、450～800℃、好ましくは550～750℃とすべきである。

【0024】本発明の1つの例は、液晶等のアクティブマトリクス回路の表示部分において、ポリシリコンTFTをスイッチングトランジスタとして用い、アクティブマトリクス領域のTFTの活性層の厚さを7.0nm以下、好ましくは1.0～5.0nmとし、一方、周辺回路に使用されるTFTの活性層の厚さを、7.0nm以上、好ましくは1.00～3.00nmとすることである。

【0025】前記のような表示回路部(アクティブマトリクス)とその駆動回路(周辺回路)とを有する装置において、駆動回路をCMOS回路とすることが好ましい。この場合、回路の全てがCMOSである必要はないが、トランスマッションガイドやインバータ回路はCMOS化されるのが望ましい。そのような装置の概念図を図2(A)に示した。図には絶縁基板7上にデータドライバ-1とゲイトドライバ-2が構成され、また、中央部にTFTを有するアクティブマトリクス3が構成され、これらのドライバ部とアクティブマトリクスとがゲイト線5、データ線6によって接続された表示装置が示されている。アクティブマトリクス3はNMOsあるいはPMOSのTFT(図面ではPMOS)を有する画素セル4の集合体である。

【0026】ドライバ部のCMOS回路に関しては、高移動度を得るために活性層における酸素や窒素、炭素等の不純物の濃度は $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下、好ましくは $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下とすることが望まれる。その結果、例えば、TFTのしきい値電圧は、NMOsでは0.5~2V、PMOSでは-0.5~-3V、さらに移動度は、NMOsでは $30 \sim 150 \text{ cm}^2/\text{Vs}$ 、PMOSでは $20 \sim 100 \text{ cm}^2/\text{Vs}$ であった。

【0027】一方、アクティブマトリクス部においては、リーク電流が、ドレイン電圧1Vで1pA程度の小さな電流を呈せしめは指数直列に用いることによって、補助電圧を小さくすることができ、さらにには全く不必要とすることができた。

【0028】本発明の2つの例はDRAMのような半導体メモリに関するものである。半導体メモリ装置は、単結晶110では既に速度の限界に達している。これ以上の高速動作をおこなわせるには、トランジスタの電流密度をより大きくすることが必要であるが、それは消費電流の急激な増加の原因になるばかりではなく、特にキャパシタに電荷を蓄えることによって記憶動作をおこなうDRAMに関しては、キャパシタの容量をこれ以上、拡大できない以上、駆動電圧を上げることで対応するしか方法がない。

【0029】単結晶110が速度の限界に達したといわれるのは、一つには基板と配線の容量によって、大きな損失が生じているからである。もし、基板に絶縁物を使用すれば、消費電流をあげなくとも十分に高速な駆動が可能である。このような理由からSOI(絶縁物上の半導体)構造の110が提案されている。

【0030】DRAMにおいても、1T1セル構造の場合には、先の液晶表示装置と回路構造がほとんど同じであり、それ以外の構造のDRAM(例えば、3T1セル構造)でも、記憶ビット部のTFTに本発明の活性層の厚さが70nm以下、好ましくは10~50nmのリーク電流の小さいTFTを使用する。一方、その駆動回路は十分な高速動作を必要とされるので、前記の液晶

表示装置と同様に、活性層の厚さが70nm以上、好ましくは100~300nmのTFTを用い、また、消費電力を抑制する目的からは同様にCMOS化することが望ましい。

【0031】このような半導体メモリ装置においても、基本的なブロック構成は図2(A)のものと同じである。例えば、DRAMにおいては、1がコラムデコーダー、2がローデコーダー、3が記憶素子部、4が単位記憶ビット、5がビット線、6がワード線、7が(絶縁)基板である。

【0032】本発明の第3の応用例は、イメージセンサー等の駆動回路である。図2(B)には、イメージセンサーの1ビットの回路例を示したが、図中のフリップフロップ回路8およびバッファ回路9は、通常、CMOS回路によって構成され、走査線に印加される高速パルスに追従できるだけの高速の応答が要求される。一方、その信号出力部のTFT10は、フォトダイオードによってキャパシタに蓄積された電荷をシフトレジスタ部8、9からの信号によって、データ線に放出するタムの役目を負っている。

【0033】このようなTFT10には、高速応答もさることながら、リーク電流の少ないことも要求される。したがって、このような回路において、回路8、9のTFTの活性層の厚さは70nm以上、好ましくは100~300nmとすることが望まれる。一方のTFT10においては、活性層の厚さは70nm以下、好ましくは10~50nmであることが望まれる。この場合、TFT10においてはリーク電流と移動度がその目的に合致するように活性層の厚さを最適化しなければならないことは言うまでもない。

【0034】

【実施例】

【実施例1】 図3に本実施例を示す。本実施例は、TFT型液晶表示装置の周辺回路およびアクティブマトリクス領域にポリシリコンTFTを形成したものである。

【0035】まず、コーニング7059基板101上に、スパッタ法によって第1の下地酸化膜102を厚さ20~200nm増積した。さらに、その上にモノシランもしくはジシランを原料とするプラズマCVD法もしくは減圧CVD法によって、第1のアモルファスシリコン膜103を厚さ30~50nm増積した。このときには、アモルファスシリコン膜中の酸素および窒素の濃度は $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下、好ましくは $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下とする。この目的には減圧CVD法が適している。本実施例では、酸素濃度は $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下とした。このアモルファスシリコン膜の上に再びスパッタ法によって第2の酸化膜104を厚さ100~150nm、104を形成した。さらに、同様な手段によって、第2のアモルファスシリコン膜105を増積した。この様子を図3(A)に示す。

【0.03.6】その後、図3 (B) に示すように、周辺回路領域のみを残して、他の第2のアモルファスシリコン膜を除去した。そして、残ったアモルファスシリコン膜105をマスクとして、第2の酸化窒素膜104を除去し、結局、周辺回路領域のみに第2の酸化窒素膜107および第2のアモルファスシリコン膜106を残し、他の領域は第1のアモルファスシリコン膜103を露出させた。

【0.03.7】さらに、図3 (C) に示すように、TFTを形成する島状領域109 (周辺回路用) および109 (マトリクスTFT用) を形成した。そして、図3 (D) に示すようにスパッタ法等の手法によってゲイト酸化膜110を形成した。スパッタ法の代わりに、TEOS (テトラエトキシシラン) 等を使用して、プラズマCVD法によって成膜してもよい。特に本実施例では、島状領域の底面が大きいので、ステップカバレッジのよい成膜方法が必要とされるが、TEOSを使用した成膜はこの目的に適している。ただし、この場合には、成膜時あるいは成膜後に650℃以上の温度で0.5～3時間アニールすることが望ましい。

【0.03.8】その後、図3 (E) に示すように、厚さ200nm～500nmのN型シリコン膜をLPCVD法によって形成して、これをパターニングし、各島状領域にゲイト電極111～113を形成した。N型シリコン膜の代わりに、タンタル、クロム、チタン、タングステン、モリブデン等の比較的耐熱性の良好な金属材料を使用してもよい。

【0.03.9】その後、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲイト電極部をマスクとして自己整合的に不純物を注入した。この際には、最初に全面にフォスフィン (PH₃) をドーピングガスとして膜を注入し、その後、島の島状領域108の右側およびマトリクス領域をフォトレジストで覆って、ジボラン (B₂H₆) をドーピングガスとして、島状領域108の左側に膜を注入した。ドーピング量は、幅は2～8×10¹⁵cm⁻²、密度は4～10×10¹⁵cm⁻²とし、膜のドーピング量を上回るように設定した。

【0.04.0】さらに、550～750℃で2～24時間アニールすることによって、結晶化をおこなった。本実施例では、600℃で24時間熱アニールをおこなった。このアニール工程によって、イオンの注入された領域のみならず、それまでアモルファス状態であったゲイト電極の下にある活性層も結晶化せしめることができた。しかしながら、島状領域108の活性層は100～150nmとマトリクス領域109のもの (厚さ30～50nm) より厚いので、前者の結晶性の方が良好であった。以上の工程によって、P型の領域114、およびN型の領域115、116が形成された。これらの領域のシート抵抗は200～800Ω/□であった。

【0.04.1】その後、図3 (F) に示すように、全面に

層間絶縁物117として、スパッタ法によって酸化窒素膜を厚さ300～1000nm形成した。これは、プラズマCVD法による酸化窒素膜であってもよい。特に、TEOSを原料とするプラズマCVD法ではステップカバレッジの良好な酸化窒素膜が得られる。

【0.04.2】その後、画素電極122として、スパッタ法によってITO膜を形成し、これをパターニングした。そして、TFTのソース/ドレイン (不純物領域) にコンタクトホールを形成し、クロム配線118～121を形成した。図3 (F) には左側のNTFTとPTFTでインバータ回路が形成されていることが示されている。配線118～121は、シート抵抗を下げるためのクロムあるいは酸化チタンを下地とするアルミニウムとの多層配線であってもよい。最後に、水中で350℃で2時間アニールして、シリコン活性層のタングリングボンドを解した。以上の工程によって周辺回路とアクティブマトリクス回路を一体化して形成できた。本実施例では、厚さの異なる2層のシリコン膜を増設することによって、2種類のTFTを形成することができたが、同様に3種類の厚さの異なるシリコン膜を形成して、3つの特性の異なるTFTを形成することも可能であり、さらに多くの種類のTFTを同一基板上に形成することも可能である。

【0.04.3】(実施例2) 図4に本実施例を示す。本実施例は、アモルファスシリコンのPIN構造を利用したイメージセンサーの駆動回路 (CMOSロジック部およびサンプル&ホールド (SH) 部) にポリシリコンTFTを形成したものである。

【0.04.4】まず、コーニング7059基板201上に、スパッタ法によって下地酸化膜202を厚さ20～200nm増設した。さらに、その上にモノシランもしくはジシランを原料とするプラズマCVD法もしくは減圧CVD法によって、アモルファスシリコン膜203を厚さ150～250nm増設した。このときには、アモルファスシリコン膜中の酸素および窒素の濃度は10¹⁸cm⁻²以下、好ましくは10¹⁷cm⁻²以下とする。この目的には減圧CVD法が適している。本実施例では、酸素濃度は10¹⁷cm⁻²以下とした。そして、このアモルファスシリコン膜を選択的にエッチングして、厚さ100～200nm、SH部に使用する。) と薄い領域205 (エッチングされた部分で、厚さは30～50nm、SH部に使用する。) を形成した。この様子を図4 (A) に示す。

【0.04.5】このようなエッチングを使用する方法の代わりに、最初に厚さ30～50nmのアモルファスシリコン膜を形成し、これにフォトレジストを塗布して、パターニングし、さらに、シリコン膜を重ねて厚さ50～100nm増設した後、リフトオフ法によって、パターニングされた領域のシリコン膜を除去してもよい。

【0.046】次に、600℃で24時間アニールすることによって、アモルファスシリコン膜の結晶化をおこなった。その後、これらのシリコン膜を島状にパターニングし、例えば、図4(B)のように、CMOS回路領域206とSHのTFT領域207を形成した。さらに、図4(C)に示すように、これらの島状領域を覆って、スパッタ法によって酸化窒素膜(厚さ50~150nm)を形成し、これをガイド絶縁膜208とした。その後、厚さ200nm~5μmのクロム膜をスパッタ法によって形成して、これをパターニングし、各島状領域にガイド電極209~211を形成した。

【0.047】その後、図4(D)に示すように、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲイト電極部をマスクとして自己整合的に不純物を注入した。この際には、最初に全面にフォスフィン(PH₃)をドーピングガスとして導入し、その後、図の島状領域206の左側のみをフォトリソリストで覆って、トリボラン(B₂H₆)をドーピングガスとして、島状領域206の左側と島状領域207に電界を注入した。ドーピング量は、層は2~8×10¹⁵cm⁻²、電界は4~10×10¹⁵cm⁻²とし、電界のドーピング量が層を上回るように設定した。

【0.048】ドーピング工程によって、シリコン膜の結晶性が破壊されるが、そのシート抵抗は1kΩ/□程度とすることも可能であった。しかし、この程度のシート抵抗では大きすぎる場合には、さらに、600℃で2~24時間アニールすることによって、より、シート抵抗を低下させることが可能である。また、レーザー光の加え強光を照射することによっても同様の降下が見られる。

【0.049】以上の工程によって、N型の領域212、およびP型の領域213、214が形成された。これらの領域のシート抵抗は200~800Ω/□であった。その後、全面に層間絶縁物215として、スパッタ法によって酸化窒素膜を厚さ300~1000nm形成した。これは、プラズマCVD法による酸化窒素膜であってもよい。特に、TEOSを原料とするプラズマCVD法ではステップカバー性の良好な酸化窒素膜が得られる。

【0.050】その後、TFTのソース/ドレイン(不純物領域)にコンタクトホールを形成し、アルミ配線216~219を形成した。図4(E)には左側のNTFTとPTFTでインバータ回路が形成されていることが示されている。最後に、水中で350℃で2時間アニールして、シリコン膜のダングリングボンドを消滅した。以上の工程によってイメージセンサーの駆動回路において、CMOS回路領域とSH領域を同一基板上に同時に形成化して形成できた。イメージセンサーを形成させるには、この後に、アモルファス光電素子を形成すればよい。

【0.051】

【発明の効果】以上の説明からも明らかなように、本発明は、従来のポリシリコンTFTの作製プロセスにおいて、TFTの活性層となるシリコン層の厚さ変更するという、最小の変更によって、課題を解決することができた。

【0.052】本発明によって、特にダイナミックな回路、およびそのような回路を有する装置の信頼性と性能を高めることができた。従来、特に液晶表示装置のアクティブマトリクスのような目的に対してはポリシリコンTFTはON/OFF比が低く、実用化にはさまざまな困難があったが、本発明によってそのような問題はほぼ解決されたと思われる。さらに、実施例2に示したように絶縁基板上のイメージセンサーの駆動回路にも利用できる。実施例では示さなかったが、単結晶半導体集積回路の立体化の手段として用いられるTFTにおいても本発明を実施することによって効果を挙げられることは明白であろう。

【0.053】例えば、周辺回路回路を単結晶半導体上の半導体回路で構成し、その上に層間絶縁物を介してTFTを設け、これによってメモリー素子を構成することもできる。この場合には、メモリー素子を本発明のPMOSのTFTを使用したDRAM回路とし、その駆動回路は単結晶半導体回路にCMOS化されて構成されている。しかも、このような回路をマイクロプロセッサに利用した場合には、メモリー部を2階に上げることになるので、面積を節約することができる。このように本発明は産業上、極めて有益な発明であると考えられる。

【図面の簡単な説明】MO:SのTFTのゲイト電圧-ドレイン電流特性を示す。

(B) NMOSのTFTのゲイト電圧-ドレイン電流特性を示す。

(いすれも、横軸はゲイト電圧(V_G)、縦軸はドレイン電圧(V_D)。

【図2】(A)本発明をアクティブマトリクス装置に応用した場合のブロック図を示す。

(B)本発明をイメージセンサーの駆動回路に応用した場合の回路例を示す。

【図3】実施例の工程を示す。

【図4】実施例の工程を示す。

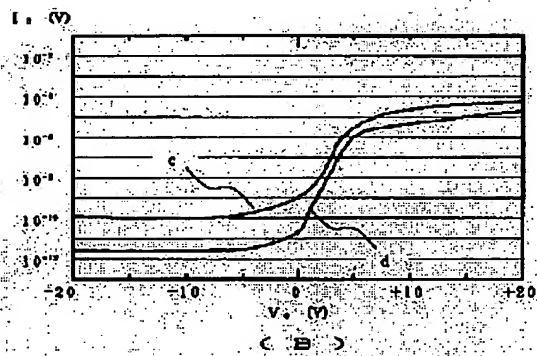
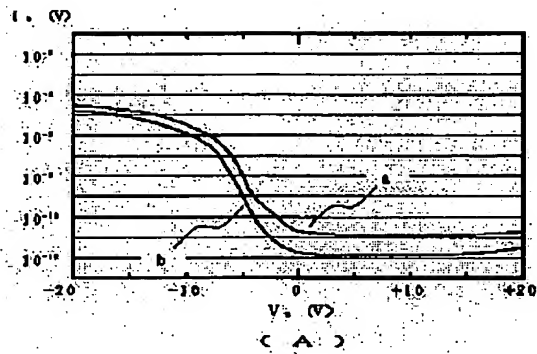
【符号の説明】

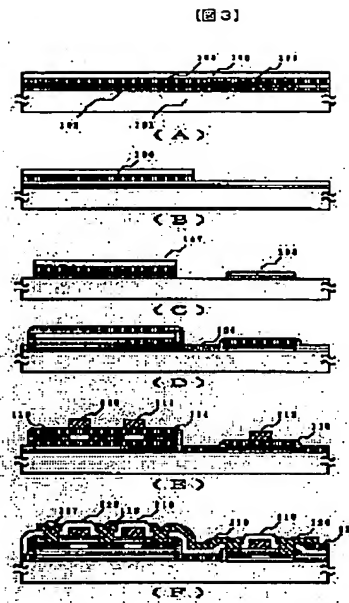
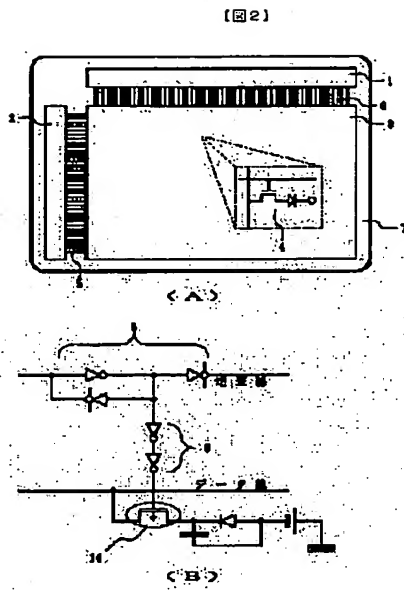
- | | |
|------|-------------------|
| 1.01 | 絶縁基板 |
| 1.02 | 第1の下地酸化膜 |
| 1.03 | 第1のアモルファスシリコン膜 |
| 1.04 | 第2の酸化窒素膜 |
| 1.05 | 第2のアモルファスシリコン膜 |
| 1.06 | 覆った第2のアモルファスシリコン膜 |
| 1.07 | 覆った第2の酸化窒素膜 |
| 1.08 | 島状半導体領域(周辺回路用) |

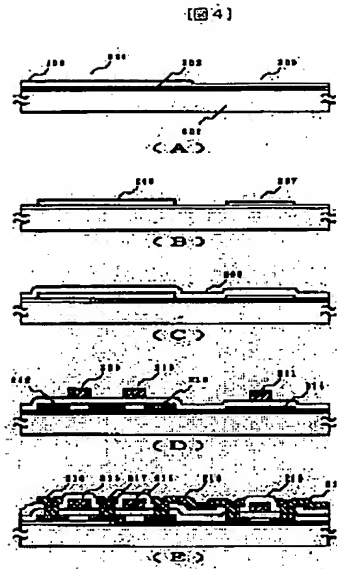
[첨부그림 8]

109	島状半導体積層 (マトリクス用)	115, 116	N型不純物積層
110	ゲイト絶縁膜	117	層間絶縁物
111	ゲイト電極 (PTFT用)	118~121	金属配線
112	ゲイト電極 (NTFT用)	122	画素電極 (ITO)
113	ゲイト電極 (アクティブマトリクスTFT用)		
114	P型不純物積層		

(図 1)







フロントページの続き

(51)Int. Cl.⁵
H01L 21/336

図別記号

庁内整理番号

F-1

技術表示箇所

9056-4M

H01L 29/78

3-1-1 Y

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.